

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-081419

(43)Date of publication of application : 27.02.1992

(51)Int.Cl.

H03K 19/086
H03K 19/013

(21)Application number : 02-171472

(71)Applicant : NEC CORP

(22)Date of filing : 29.08.1990

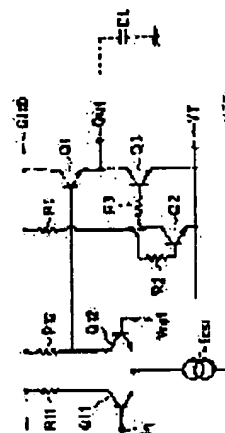
(72)Inventor : MATSUMOTO KOJI

(54) ECL CIRCUIT

(57)Abstract:

PURPOSE: To reduce power consumption by forming an emitter follower circuit of active pull-down form between a ground power supply and a 2nd negative power supply.

CONSTITUTION: An emitter follower circuit consisting of a 1st transistor (TR) Q1 being a component of an emitter follower and a 3rd TR Q3 for pull-down is formed between a ground power supply GND and a 2nd negative power supply VT. Then a base of the TR Q1 is connected to a collector of a TR Q12 so that the emitter follower circuit outputs a signal in phase to an input signal to an output terminal Out. The TR Q3 forms a current mirror circuit together with the TR Q2 and an input power supply to the current mirror circuit is given through a 1st resistor R1 from the ground power supply GND. Thus, power consumption is reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP) ⑪ 特許出願公開
⑫ 公開特許公報(A) 平4-61419

⑬ Int.Cl.⁵

H 03 K 19/088
19/013

識別記号

庁内整理番号

8941-5J
8941-5J

⑭ 公開 平成4年(1992)2月27日

審査請求 未請求 請求項の数 5 (全6頁)

⑮ 発明の名称 ECL回路

⑯ 特 願 平2-171472

⑰ 出 願 平2(1990)6月29日

⑱ 発 明 者 松 本 浩 二 東京都港区芝5丁目7番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
⑳ 代 理 人 弁理士 尾身 祐助

明 細 書

1. 発明の名称

ECL回路

2. 特許請求の範囲

(I) 高位側電源と第1の低位側電源との間に構成された、第1、第2の出力端子を有する差動増幅回路と、

ベースが前記差動回路の第1の出力端子に接続されコレクタが前記高位側電源に接続されエミッタが出力端子に接続されたエミッタフォロウを構成するトランジスタと、

前記出力端子と前記第1の低位側電源の電位より高電位の第2の低位側電源との間に設けられた定電流源回路と、

を具備するECL回路。

(II) 高位側電源と第1の低位側電源との間に構成された、第1、第2の出力端子を有する差動増幅回路と、

ベースが前記差動回路の第1の出力端子に接続されコレクタが前記高位側電源に接続されエミッタが出力端子に接続されたエミッタフォロウを構成する第1のトランジスタと、

コレクタが電流源を介して前記高位側電源に接続され、エミッタが前記第1の低位側電源の電位より高電位の第2の低位側電源に接続され、ベースが抵抗を介してそのコレクタに接続された第2のトランジスタと、

コレクタが前記出力端子に接続されエミッタが前記第2の低位側電源に接続されベースが前記第2のトランジスタのコレクタに抵抗を介して接続された第3のトランジスタと、

を具備するECL回路。

(III) 高位側電源と第1の低位側電源との間に構成された、第1、第2の出力端子を有する差動増幅回路と、

ベースが前記差動回路の第1の出力端子に接続されコレクタが前記高位側電源に接続されエミッタが出力端子に接続されたエミッタフォロウを構

成する第1のトランジスタと、

コレクタが電流源を介して前記高位側電源に接続され、エミッタが前記第1の低位側電源の電位より高電位の第2の低位側電源に接続され、ベースが抵抗を介してそのコレクタに接続された第2のトランジスタと、

コレクタが前記出力端子に接続されエミッタが前記第2の低位側電源に接続されベースが前記第2のトランジスタのコレクタに抵抗を介して接続された第3のトランジスタと、

一端が前記差動増幅回路の第2の出力端子に接続され、他端が前記第3のトランジスタのベースに接続されたコンデンサと、

を具備するECL回路、

4) 高位側電源と第1の低位側電源との間に構成された、第1、第2の出力端子を有する差動増幅回路と、

ベースが前記差動回路の第1の出力端子に接続されコレクタが前記高位側電源に接続されエミッタが出力端子に接続されたエミッタフォロウを構

成する第1のトランジスタと、

コレクタが電流源を介して前記高位側電源に接続され、エミッタが前記第1の低位側電源の電位より高電位の第2の低位側電源に接続され、ベースが抵抗を介してそのコレクタに接続された第2のトランジスタと、

コレクタが前記出力端子に接続されエミッタが前記第2の低位側電源に接続されベースが前記第2のトランジスタのコレクタに抵抗を介して接続された第3のトランジスタと、

ベースが前記差動増幅回路の第2の出力端子に接続されコレクタが前記高位側電源に接続されたエミッタフォロウを構成する第4のトランジスタと、

一端が前記第4のトランジスタのエミッタに接続され他端が前記第3のトランジスタのベースに接続されたコンデンサと、

を具備するECL回路、

5) 前記コンデンサまたは前記第4のトランジスタ及び前記コンデンサが、前記出力端子に付く負

荷容量の大小に応じて配線工程において選択的に接続されたものである、マスタースライス方式で形成された請求項3または4記載のECL回路、

3. 発明の詳細な説明

[産業上の利用分野]

本発明はエミッタ結合型論理回路(ECL)に関し、特に、消費電力が削減されかつ動作速度が改善されたエミッタフォロウ回路に関する。

[従来の技術]

エミッタフォロウ回路は出力インピーダンスが低いため負荷容量に対する駆動能力が高く、エミッタ結合型論理回路(ECL)の出力手段として広く使用されている。従来、エミッタフォロウ回路はエミッタフォロウトランジスタと終端抵抗とを用いて接地電源と負の電圧 V_{EE} ($-4.5V$ または $-5.2V$)との間に構成されることが一般的であったが、近年、終端抵抗に替えてプルダウントランジスタを用い、更にコンデンサを用いて出力立下り時の動作速度を改善したエミッタフ

ロウ回路が用いられるようになってきている。

第5図は、特開昭63-302620号公報で提案された、この種従来のECL回路を示す回路図である。同図において、 Q_{11} 、 Q_{12} はカレントスイッチ動作を行うトランジスタ、 Q_1 はエミッタフォロウを構成するトランジスタ、 Q_2 、 Q_3 はカレントミラー回路を構成するトランジスタ、 I_{OBI} 、 I_{OBS} は定電流源、 R_{11} 、 R_{12} は負荷抵抗、 C_1 はコンデンサである。

次に、第5図に示した回路の動作について説明する。入力端子 I_n に基準電位 V_{ref} より高電位の信号が入力されると、トランジスタ Q_{11} はオン状態、トランジスタ Q_{12} はオフ状態となる。この場合には、定電流は抵抗 R_{11} 側に流れ R_{12} 側には流れない。このため、出力端子 O_{ut} には0式で表されるハイレベル出力信号 V_{OH} が出力される。(なお、以下の式において、 R_{11} 、 R_{12} 等は抵抗値、 I_{OBI} 、 I_{OBS} 等は電流値、 V_{EE} 、 V_T 等は電圧値をも表すものとする。)

$$V_{OH} = -R_{12} \cdot I_{OBI} - V_T(Q_{11})$$

…(1)

ここで、 $I_b(Q1)$ 、 $V_F(Q1)$ は各々トランジスタQ1のベース電流および順方向動作電圧である。トランジスタの電流増幅率 h_{fe} が充分大きい場合には、ベース電流を無視することができるので、(1)式は(2)式に近似することができる。

$$V_{os1} = V_F(Q1) \quad \dots(2)$$

次に、入力端子Inに基準電位 V_{ref} より低電位の信号が入力されると、トランジスタQ1はオフ状態、トランジスタQ12はオン状態となり、定電流は抵抗R12側に流れる。このため、出力端子Outには(3)式で表されるローレベル出力信号 V_{ol} が出力される。

$$V_{ol} = -R12 \cdot (I_{os1} + I_b(Q1)) \\ - V_F(Q1) \quad \dots(3)$$

$$V_{ol} = -R12 \cdot I_{os1} - V_F(Q1) \quad \dots(4)$$

出力信号のハイまたはローの定常時において、トランジスタQ1、Q3に流れるエミッタフォロワ回路電流 I_{ef} は、トランジスタQ2とQ3がカレントミラー回路を構成しているため、 I_{os1} に等

という欠点があった。また、コンデンサC1が直接トランジスタQ2のコレクタに接続されているため、出力信号がハイ→ローと変化する過渡時にコンデンサC1を充電する電流のほとんどがトランジスタQ2側に流れる。そのため、充電電流は負荷容量C1の放電にあまり寄与せず、動作速度はそれほど改善されなかった。

ところで、ゲートアレイ型マスタースライス集積回路では、内部論理回路毎に駆動すべき負荷容量は大幅に異なっている。各論理回路の出力点に接続される配線の長さが論理回路毎に大幅にばらつくからである。しかるに、従来のECL型ゲートアレイでは、すべての内部ECL回路を同一構成に形成していたので、負荷容量の重い論理回路では動作速度の低下が著しかった。動作速度を高めるためにコンデンサC1を追加すると今度は負荷容量の軽い回路では不必要に動作が遅められることになり、徒らに使用部品点数を増加させる結果となった。

〔問題を解決するための手段〕

しい。従って、本ECL回路の消費電力Pは(4)式で表すことができる。

$$P = -(I_{os1} + 2 \cdot I_{os2}) \cdot V_{EE} \quad \dots(4)$$

この論理回路において、出力信号がロー→ハイと変化する過渡時には、トランジスタQ3に定常的に流れる定電流 I_{os2} に加えて負荷容量C1を充電する電流がエミッタフォロワトランジスタQ1を流れる。また、出力信号がハイ→ローと変化する過渡時には、トランジスタQ1が一時的にオフ状態になり、負荷容量に蓄積された電荷がブルダウントランジスタQ3を介して放電される。この時、逆相側の信号はロー→ハイと変化するため、コンデンサC1は充電される。この充電電流の一部がトランジスタQ3のベース電流となり増幅されるので、トランジスタQ3は過渡的に大きな電流で負荷容量を放電することができる。

〔発明が解決しようとする課題〕

上述した従来のECL回路では、エミッタフォロワがブルダウントランジスタQ3を介して電源 V_{EE} に接続されているため、消費電力が大きい

本発明のECL回路は、高側電源と第1の低側側電源との間に構成された、第1、第2の出力端子を有する差動増幅回路と、ベースが前記差動回路の第1の出力端子に接続されコレクタが前記高側側電源に接続されエミッタが出力端子に接続されたエミッタフォロワを構成する第1のトランジスタと、コレクタが電流源を介して前記高側側電源に接続され、エミッタが前記第1の低側側電源の電位より高電位の第2の低側側電源に接続され、ベースが抵抗を介してそのコレクタに接続された第2のトランジスタと、コレクタが前記出力端子に接続されエミッタが前記第2の低側側電源に接続されベースが前記第2のトランジスタのコレクタに抵抗を介して接続された第3のトランジスタと、を具備している。

また、前記差動増幅回路の第2の出力端子と前記第3のトランジスタのベースとの間にはコンデンサが接続されている。そして、このコンデンサは、出力端子に付く負荷容量に応じて選択的に付加されるものである。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の第1の実施例を示す回路図である。同図において、Q11、Q12は、それぞれ入力端子側と基準電位側のカレントスイッチトランジスタであり、それぞれのコレクタと接地電源GNDとの間にコレクタ負荷抵抗R11、R12が接続されている。トランジスタQ11、Q12の共通に接続されたエミッタと第1の負の電源VBEとの間には定電流源I_{cs1}が接続されており、ここにエミッタ結合型差動回路が構成されている。

本実施例では、エミッタフォロウを構成する第1のトランジスタQ1とプルダウン用の第3のトランジスタQ3とよりなるエミッタフォロウ回路が接地電源GNDと第2の負の電源VTとの間に構成されており、そして、このエミッタフォロウ回路が入力信号と同相の信号を出力端子Outに出力するようにトランジスタQ1のベースはトラン

$$R2/hfe)$$

$$h = \{VT + V_F(Q2)\} / R1 \dots (4)$$

ここで、 $R2 = R3$ と設定すると、トランジスタQ2とQ3はカレントミラー回路を構成しているので、Q1、Q3に流れるエミッタフォロウ回路電流I_{cs1}は、 $I_{cs1} = I_{cs2}$ となる。

よって、本実施例ECL回路の消費電力Pは式で表すことができる。

$$P = -(I_{cs1} \cdot VBE + 2 \cdot I_{cs2} \cdot VT) \dots (5)$$

ここで、電源VBEの電圧は、一般に-4.5乃至-5.2V、電源VTの電圧は-2Vであるので、(4)式と(5)式とを比較して、同一のエミッタフォロウ回路電流となるように定数設定した場合には本実施例により、消費電力を削減できることがわかる。

第2図は本発明の第2の実施例を示す回路図である。本実施例の第1図に示した第1の実施例と相違する点は、エミッタ結合型差動回路の逆相側の出力点にエミッタフォロウを構成する第4のトランジスタQ4のベースを接続し、Q4のエミッタとプルダウン用のトランジスタQ3のベースとの間にコンデンサC1を接続したことである。こ

こで、エミッタフォロウ回路は、接地電源GNDと

トランジスタQ3はトランジスタQ2とともにカレントミラー回路を構成しており、そしてこのカレントミラー回路への入力電流は接地電源GNDから第1の抵抗R1を介して与えられている。ここで、トランジスタQ2、Q3のベースにはそれぞれ第2の抵抗R2と第3のR3が接続されているがこれらの抵抗は発熱防止の役割を果たしている。

次に、本実施例回路の動作について説明する。入力端子に基準電位より高電位の信号が入力すると、第5図の従来例と同様に、出力端子Outには(1)式乃至(4)式で表されるハイレベルの出力信号V_{os}が出力される。逆に入力端子に基準電位より低電位の信号が入力すると、第5図の従来例の回路と同様に、出力端子Outには、(4)式で表されるローレベルの出力信号V_{os}が出力される。

今、抵抗R1を流れる電流をI_{cs2}とすると、これは(4)式で表される。

$$I_{cs2} = -\{VT + V_F(Q2)\} / (R1 +$$

との間にコンデンサC1を接続したことである。

本実施例においては、出力信号がハイローと変化する過渡時には、トランジスタQ1が一時的にオフ状態になり、負荷容量C1に蓄積された電荷がプルダウントランジスタQ3を介して放電されるが、この時、逆相側の信号はローハイと変化するため、コンデンサC1は充電される。ここで、トランジスタQ3のベースには抵抗R3が接続されているため、充電電流の大部分がトランジスタQ3のベース電流となる。従って、プルダウントランジスタQ3は過渡的に大きな電流で負荷容量を放電することができる。

第3図は本発明の第3の実施例を示す回路図である。本実施例の第2図に図示した第2の実施例と相違する点は、エミッタ結合型差動回路の逆相側の出力点にエミッタフォロウを構成する第4のトランジスタQ4のベースを接続し、Q4のエミッタとプルダウン用のトランジスタQ3のベースとの間にコンデンサC1を接続したことである。こ

第2の負の電源V_Tとの間のトランジスタQ₄、Q₅により構成されている。定電流源を構成するトランジスタQ₅のベースは抵抗R₄を介してトランジスタQ₂のコレクタに接続されている。

第2図の実施例の回路では、コンデンサC₁の充電がC₁と抵抗R₁₁との時定数により決定された。しかし、本実施例ではコンデンサC₁がエミッタフォロワトランジスタQ₄により急速に充電されるため、出力信号がハイローと変化する時の遅延時間をより短縮することができる。

第2図および第3図に実施例においては、特に負荷容量が大きい場合に遅延時間短縮の効果が著しい。しかし、負荷容量が小さい場合には、第1図の実施例の回路で充分であり、素子使用数の増大による歩留まり低下を考慮すると、その場合には第1図の回路の方がむしろ好ましい。第2図および第3図の実施例は、第1図の実施例の回路にコンデンサC₁あるいはエミッタフォロワトランジスタQ₄とC₁を付加しただけの近似した回路構成であるため、負荷容量の大小に応じて使いわ

けることができれば非常に有効である。配線工程のみを突えることにより各種論理回路を構成するゲートアレイ型マスタースライス集積回路においては、各単位セルにコンデンサC₁、トランジスタQ₄、Q₅および抵抗R₄を用意しておくことにより、内部ECL回路の出力端子につながる配線による負荷容量の大小に応じて、コンデンサ等を選択的に配線工程にて付加することが可能である。

第4図は、第1図～第3図の各実施例の出力立下り時の遅延時間と消費電力との関係のSPICEシミュレーション結果を従来例のそれと対比して示したものである。両図において、一点鎖線、点線、細実線は、それぞれ第1、第2、第3の実施例の特性を示しており、太実線は従来例の特性を示している。

SPICEシミュレーションのパラメータ定数は下記の通りである。

$$R_{11} = R_{12} = 2.15 \text{ k}\Omega,$$

$$I_{\text{cs1}} = 0.296 \text{ mA},$$

$$R_2 = R_3 = R_4 = 1 \text{ k}\Omega, C_1 = 0.1 \text{ pF}$$

$$V_{EE} = -4.5 \text{ V}, V_T = -2 \text{ V},$$

$$V_{\text{ref}} = -1.0984 \text{ V}$$

【発明の効果】

以上説明したように、本発明は、従来のエミッタフォロワ回路が使用するV_{EE}電源電位(-4.5Vまたは-5.2V)に比べ電位の高いV_T電源電位(-2V)と接地電位との間にアクティブプルダウン形式のエミッタフォロワ回路を構成したので、消費電力を低減できる。また、抵抗R₁、R₂、トランジスタQ₂により構成される定電流発生回路とプルダウントランジスタQ₃のベースとの間に抵抗R₃を接続したことにより、発振を防止することができる。更に、抵抗R₃は、コンデンサC₁を接続した場合に、このコンデンサの充電電流を効果的にプルダウントランジスタ側に流すことができるので、立下り時の遅延時間を短縮する効果がある。また、コンデンサやこれを駆動するエミッタフォロワは、マスタースライス集積回路において選択的に接続されるものであ

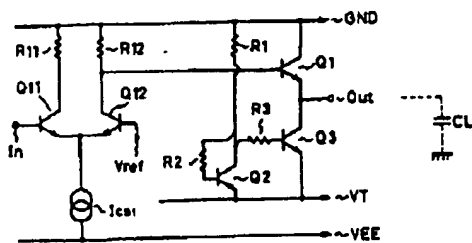
るので、軽い負荷容量しか負っていない論理回路の使用部品点数を徒らに増加させることなく、重い負荷容量を負っている論理回路の動作速度のみを効果的に改善することができる。

4. 図面の簡単な説明

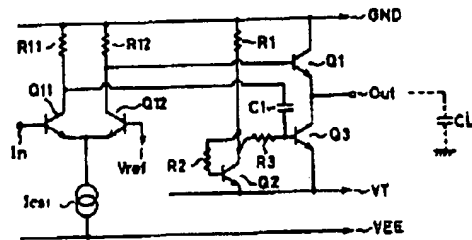
第1図、第2図、第3図は、それぞれ本発明の実施例を示す回路図、第4図は、本発明の各実施例の特性と従来例の特性のシミュレーション結果を示す図、第5図は、従来例の回路図である。

GND…接地電源、 V_{EE}…第1の負の電源、 V_T…第2の負の電源、 V_{ref}…基準電位、 I_n…入力端子、 O_{ut}…出力端子、 C₁…コンデンサ、 I_{cs1}、 I_{cs2}…定電流源、 C_L…負荷容量。

代理人 弁理士 尾身祐助

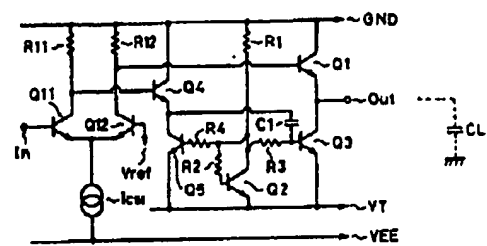


第 1 図

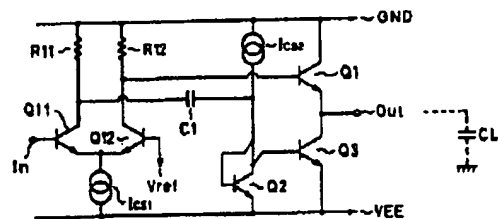


第 2 図

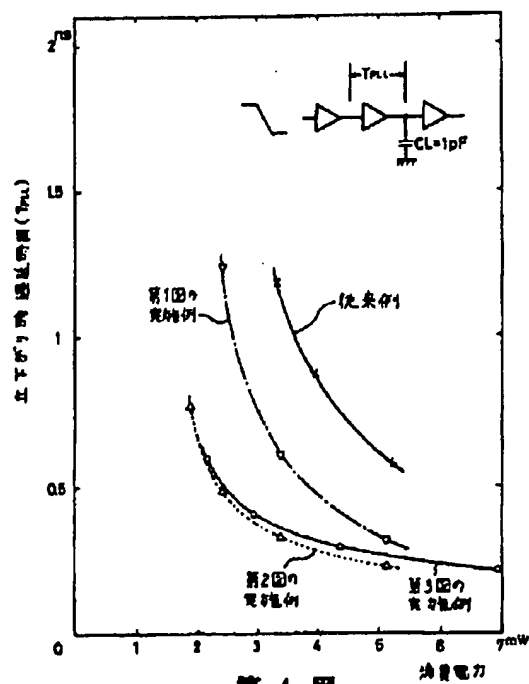
GND…接地電源
VEE…第1の負の電源
VT…第2の負の電源
Vref…基準電位
In…入力端子
Out…出力端子
Ics1…定電流源
CL…負荷容量



第 3 図



第 5 図



第 4 図